

1200V 大容量 SiC MOSFET 器件研制

刘新宇¹, 李诚瞻^{2,3}, 罗焯辉^{2,3}, 陈宏¹, 高秀秀^{2,3}, 白云¹

(1. 中国科学院微电子研究所, 北京 100029; 2. 新型功率半导体器件国家重点实验室, 湖南株洲 412001;

3. 株洲中车时代半导体有限公司, 湖南株洲 412001)

摘要: 采用平面栅 MOSFET 器件结构, 结合优化终端场限环设计、栅极 bus-bar 设计、JFET 注入设计以及栅氧工艺技术, 基于自主碳化硅工艺加工平台, 研制了 1200V 大容量 SiC MOSFET 器件. 测试结果表明, 器件栅极击穿电压大于 55V, 并且实现了较低的栅氧界面态密度. 室温下, 器件阈值电压为 2.7V, 单芯片电流输出能力达到 50A, 器件最大击穿电压达到 1600V. 在 175℃ 下, 器件阈值电压漂移量小于 0.8V; 栅极偏置 20V 下, 泄漏电流小于 45nA. 研制器件显示出优良的电学特性, 具备高温大电流 SiC 芯片领域的应用潜力.

关键词: 碳化硅; MOSFET; 栅极 bus-bar; JFET 注入; 大容量器件; 低漏电; 高温半导体

中图分类号: TN323 **文献标识码:** A **文章编号:** 0372-2112 (2020)12-2313-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2020.12.004

Development of 1200V High Capacity SiC MOSFET Devices

LIU Xin-yu¹, LI Cheng-zhan^{2,3}, LUO Ye-hui^{2,3}, CHEN Hong¹, GAO Xiu-xiu^{2,3}, BAI Yun¹

(1. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2. State Key Laboratory of Advanced Power Semiconductor Devices, Zhuzhou, Hunan 412001, China;

3. Zhuzhou CRRCTimes Semiconductor Co., LTD, Zhuzhou, Hunan 412001, China)

Abstract: Based on CRRCTimes silicon carbide (SiC) process technology platform, 1200V high capacity SiC metal-oxide semiconductor field-effect transistor (MOSFET) device has been fabricated by adopting ion-implanted JFET region, the optimal termination design, gate bus-bar design and gate oxidation process. The fabricated SiC MOSFET is based on a planar gate structure. The test results show that the gate breakdown voltage of the device is above 55V and it achieves a relatively lower interface state density. At room temperature, the threshold voltage of the device is 2.7V. The maximum blocking voltage and the output current capability of fabricated SiC MOSFET is up to 1600V and 50A, respectively. At 175℃, the threshold voltage shift is less than 0.8V, and the gate leakage current of the device is less than 45nA when the gate voltage is 20V. All of the results show that the fabricated SiC MOSFET has superior electrical characteristics. It occupies a potential in high temperature and high power applications.

Key words: SiC; MOSFET; gate bus-bar; JFET implantation; high capacity device; low leakage current; high temperature semiconductor

1 引言

碳化硅 (SiC) 作为第三代半导体材料, 具有宽禁带、高热导率、高临界击穿场强、高电子饱和漂移速度、抗辐照等特性, 以 SiC 为材料制备的半导体器件具备高压、大电流等优点^[1-4]. 同时, SiC 器件能够在超过 200℃ 高温条件下高频、高效地工作, 使得功率模块系统以及外部冷却系统小型化, 实现了系统高密度功率输出. 随着新能源汽车、智能电网、工业电机、机车牵引、光

伏逆变等领域对系统低损耗、高能效的输出要求, SiC 器件有望在高效能源转换领域, 获得巨大的技术优势和应用价值^[5-8].

SiC MOSFET 器件是 SiC 功率器件中的一种重要开关器件, 广泛应用于混合动力汽车和纯电动汽车市场. Cree、Infineon、Rohm、ST 等欧美日半导体公司, 已相继推出新一代 1200V 电压等级的 SiC MOSFET 产品. 高界面态导致的低沟道迁移率、位错缺陷导致的低晶圆质量等限制了 SiC MOSFET 芯片的电流能力. 目前对于大

电流等级 ($\geq 50\text{A}$) 的 SiC MOSFET 芯片文献报道相对较少,且大多数文献缺少对大电流 SiC MOSFET 的结构设计、制备工艺、测试表征的系统阐述。

本文对 1200V 大电流 MOSFET 器件进行了系统研究,通过仿真优化器件的终端结构,优化栅极 bus-bar 结构,引入 JFET 区注入技术并优化栅氧生长工艺等方法,实现了单器件输出电流能力 50A,阻断耐压 1600V 以上的 SiC MOSFET,满足车载充电器和驱动逆变器对 SiC MOSFET 功率器件的基本需求。

2 器件结构与优化

有源区设计采用平面栅结构,结构剖面图如图 1 所示,从下至上依次为 Substrate (衬底) 层、Buffer (缓冲) 层、N-drift (N-漂移) 层、注入掺杂层、栅氧层、Poly (多晶硅) 层、金属层。其中,注入掺杂层主要包含 P-base、N+ 和 P+ 掺杂区。注入掺杂层通过往外延层注入不同类型的杂质离子形成。

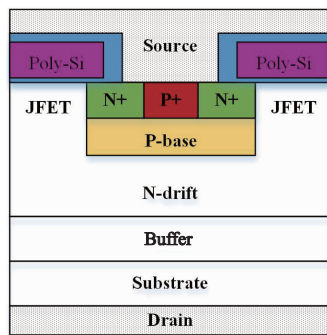
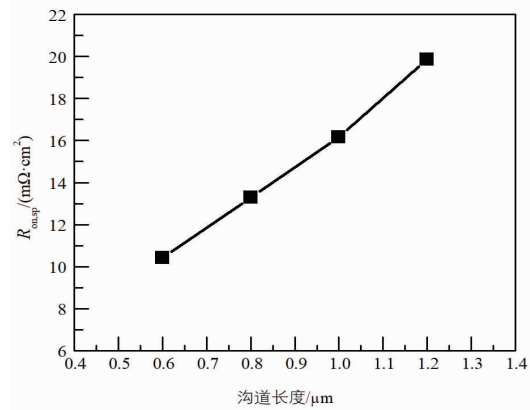


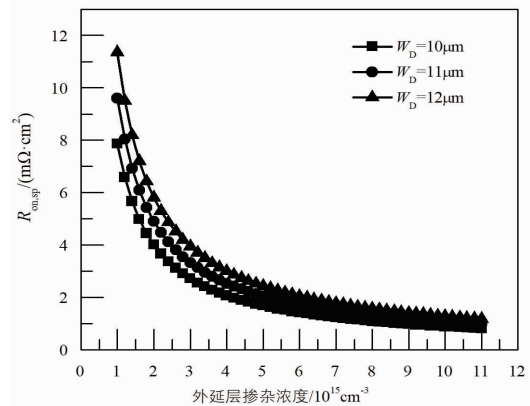
图1 SiC MOSFET有源区结构剖面图

基于本课题组之前的流片数据,发现沟道长度 L_{ch} 越小,器件的比导通电阻 $R_{on,sp}$ 越低,呈近似线性关系,如图 2(a) 所示。流片采用的元胞尺寸为 $12\mu\text{m}$,沟道长度分别为 $0.6\mu\text{m}$ 、 $0.8\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.2\mu\text{m}$,外延层浓度为 $8 \times 10^{15}\text{cm}^{-3}$,厚度为 $12\mu\text{m}$,导通电阻 R_{on} 在漏极电压为 2.0V,栅极电压为 20V 下求得。比导通电阻 $R_{on,sp}$ 由导通电阻 R_{on} 乘以有源区的面积得到,本次仿真设计采用 $1.0\mu\text{m}$ 沟道。同样,较高的外延层浓度和较薄的外延层厚度,有利于获得更低的外延层比导通电阻。根据 B. J. Baliga 提出的材料参数计算模型^[9,10] 进行参数计算,得到 SiC 外延层参数与外延层比导通电阻的关系曲线,如图 2(b) 所示。为进一步研究 SiC 外延层厚度 W_D 与击穿电压 V_b 的折中关系,将图 2(b) 中的外延层参数带入器件结构进行仿真研究,得到 SiC MOSFET 外延层参数对器件 $R_{on,sp}$ 和 V_b 影响,结果见图 2(c) 所示。其中仿真采用的元胞尺寸如上所述, R_{on} 由漏极电压 $V_{DS} = 2.0\text{V}$,栅极电压 $V_{GS} = 20\text{V}$ 下的输出曲线得到。 V_b 为漏极电流达到 $10\mu\text{A}$ 的电压,结合理论分析和仿真计算,并且考虑

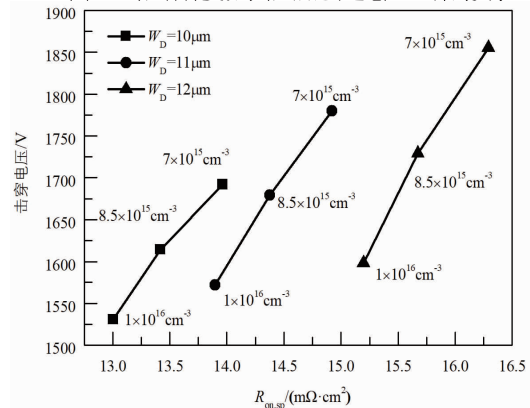
20% 的设计余量,本次流片选择外延层材料的浓度 $N_D = 8.5 \times 10^{15}\text{cm}^{-3}$,外延厚度 $W_D = 12\mu\text{m}$ 。



(a) 器件沟道长度与比导通电阻 $R_{on,sp}$ 关系图



(b) SiC 外延材料参数与外延层比导通电阻 $R_{on,sp}$ 的关系



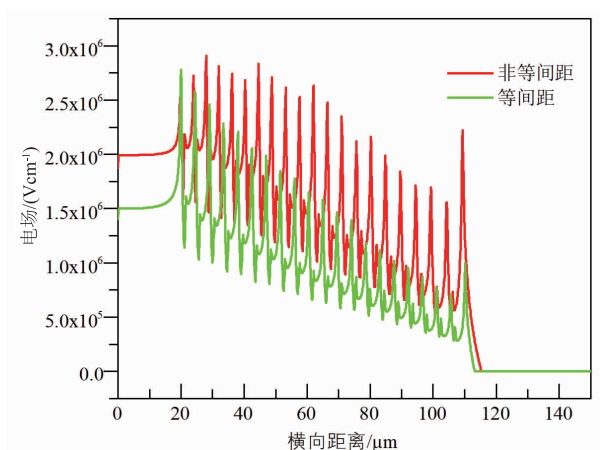
(c) SiC MOSFET 外延层参数对 $R_{on,sp}$ 和 V_b 的影响

图2 沟道长度与外延层优化结果

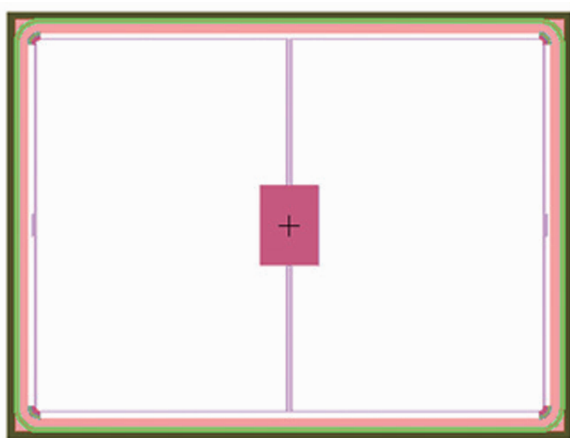
在进行器件终端设计时,采用工艺难度低的场限环作为终端结构,仿真对比了等间距场限环结构和非等间距场限环结构对耐压特性的影响。仿真发现等间距场限环结构的环间距过大,高电压下空间电荷区横向电场扩展受到抑制,终端场限环利用率下降,器件击穿电压降低。图 3(a) 为提取的横向电场随距离的分布变化,可以发现采用非等间距场限环结构,横向电场峰值分布更加均匀。因此,非等间距场限环结构性能更加

稳定,利于器件击穿特性的优化与提升。

传统的 MOSFET 芯片采用边角栅 pad 版图设计结构,使得远离栅 pad 与 bus-bar 周边的有源区元胞受到寄生的 RLC(电阻、电感、电容)延迟影响,导致不同元胞的开关时间不一致。在较高的开关频率下,有源区元胞利用率会受到限制。为了提高有源区元胞的并联效率,提升元胞间动态均流特性,在进行栅极 pad 布局及 bus-bar 布局时,采用中间栅的版图方案,如图 3(b)所示。对称式版图布局减小了有源区内远端元胞与栅 pad 的间距,并降低了元胞栅极串联电阻。外侧与中间包围式的 Poly 走线,使得芯片在开关状态下,均流性能得以改善,元胞并联效率得到提高,芯片输出电流的稳定性提升。同时,对称式版图布局,有利于模块中芯片并联封装的栅极引线,降低了寄生电感。



(a) 1200V时,等间距(绿线)和非等间距(红线)场限环结构横向电场强度分布图



(b) 栅极pad及栅极bus-bar版图布局

图3 场限环结构仿真与栅极 bus-bar 设计图

3 器件制备

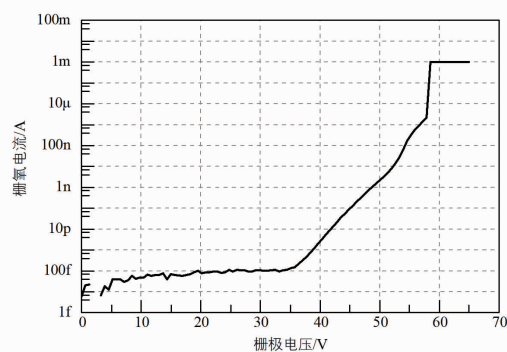
器件制备使用 4 英寸 N 型 4H-SiC (4° off-axis) 衬底,衬底上依次分别外延生长 N+ 缓冲层, N-外延层。其

中, N-外延层浓度为 $8.5 \times 10^{15} \text{ cm}^{-3}$, N-外延厚度为 $12 \mu\text{m}$ 。采用的元胞尺寸如上述所述,芯片面积为 42.50 mm^2 ,有源区面积为 36.92 mm^2 。

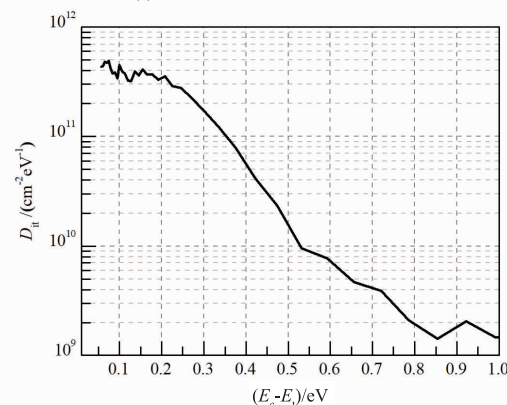
在 500°C 高温下,依次完成 P-base、N+、P+ 三次高能离子注入。P-base 分三次注入形成,注入能量范围为 $300 \sim 550 \text{ keV}$,表面浓度在 $7 \times 10^{15} \text{ cm}^{-3}$ 左右,峰值浓度为 $3 \times 10^{18} \text{ cm}^{-3}$,结深在 $1.0 \mu\text{m}$ 左右。N+ 分三次注入形成,注入能量范围为 $50 \sim 150 \text{ keV}$,表面浓度为 $2 \times 10^{20} \text{ cm}^{-3}$,结深在 $0.4 \mu\text{m}$ 左右。P+ 也分三次注入形成,注入能量范围为 $40 \sim 200 \text{ keV}$,表面浓度为 $3 \times 10^{20} \text{ cm}^{-3}$,结深在 $0.4 \mu\text{m}$ 左右。在注入过程中,为进一步降低器件 JFET 区电阻值,对 JFET 区额外进行 $1 \sim 3 \times 10^{12} \text{ cm}^{-2}$ 低剂量注入,提高器件通态特性。

栅氧生长为 SiC MOSFET 器件制备过程中的关键工艺,采用栅极氧化氮化技术,通过 NO 退火工艺,降低 SiO_2/SiC 界面处产生的碳簇、碳悬挂键、原子空位等界面缺陷,提升栅氧化层的可靠性和使用寿命,形成了 50 nm 厚的栅氧。

使用 Keysight B1505 功率器件分析仪,对所制备的 SiC MOSFET 晶圆上的栅电极监控图形进行 TZDB(零时介质击穿特性)测试表征。如图 4(a)所示,得到栅极氧化层击穿电压大于 55 V ,达到栅极耐压要求。采用高



(a) 栅极氧化层击穿电压测试结果



(b) SiO_2/SiC 界面态密度结果

图4 栅氧击穿电压及界面态测试结果

频-准静态方法对器件界面态密度 D_{it} 进行测试, 结果见图 4(b) 所示. 从图中可以看到采用栅极氧化氮化工艺, 在距离导带 $E_c - E_t = 0.2\text{eV}$ 时, SiO_2/SiC 界面态密度 D_{it} 可降低至 $4 \times 10^{11}\text{cm}^{-2}\text{eV}^{-1}$ 量级.

栅极氧化氮化工艺之后, 进行多晶硅淀积、多晶硅退火、层间介质淀积、源极、漏极金属化工艺. 通过测量合金后 N 型 TLM 结构, 提取得到 N 型欧姆接触的比接触电阻率为 $2 \times 10^{-5}\Omega \cdot \text{cm}^2$, 满足器件制备需求. 欧姆接触形成后, 对器件正面栅电极、源电极进行厚 Al 层溅射淀积和湿法腐蚀隔离, 形成栅极 Pad 和源极 Pad. 晶圆背面采用 Ti/Ni/Ag 金属体系进行加厚, 用于形成漏极电极. 最后采用 PI 胶对器件正面进行钝化保护, 完成器件制备.

4 器件特性

4.1 芯片测试

当器件发生雪崩击穿时, PN 结处电场达到峰值电场, 产生大量的电子与空穴对, 在高电场下, 电子空穴对通过碰撞电离迅速增加, 因此器件的漏电流迅速上升, 如图 5(a) 所示. 对制备完成的 SiC MOSFET 器件进行在片测试, 室温下, 当栅源电压 $V_{GS} = 0\text{V}$, 漏源电压 $V_{DS} = 1200\text{V}$ 时, 器件漏电流 I_{DSS} 小于 $2\mu\text{A}$. 漏电流为 $10\mu\text{A}$ 时测试得到器件击穿电压可达 1400V , 最大的击穿电压达到 1600V 以上.

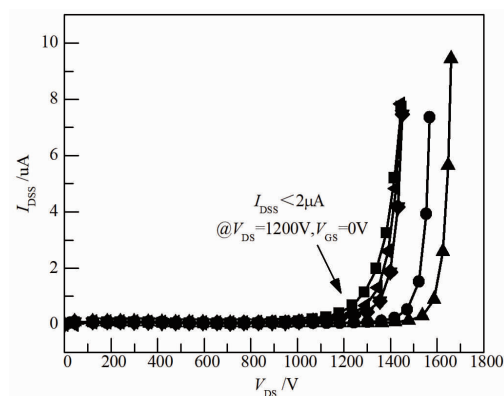
器件击穿电压差异明显, 原因在于 SiC 芯片是在 SiC 外延层加工而成, 目前 SiC 外延技术虽有很大的进展, 但在掺杂浓度、厚度等关键参数方面, 仍有 $\pm 5\% \sim \pm 10\%$ 的误差, 而外延层的浓度与厚度的一致性是影响器件击穿电压一致性的最关键因素.

室温下, 器件的转移特性曲线呈现良好的一致性, 如图 5(b) 所示. 阈值电压 V_{TH} 典型值为 2.7V , 对应的漏源电流 I_{DS} 为 1mA . 测试得到器件的输出特性曲线如图 5(c) 所示, 随着栅极驱动电压 V_{GS} 的增大, 栅下沟道由积累、耗尽状态过度至弱反型、强反型阶段, 形成导电沟道. 在漏源电压 V_{DS} 作用下, 器件的输出电流随 V_{GS} 的上升逐渐增大. 从图 5(c) 中可以看到, 当器件栅源电压 $V_{GS} = 20\text{V}$, 漏源电压 $V_{DS} = 2.0\text{V}$ 时, 器件输出电流能力可达到 50A , 器件导通电阻 R_{on} 约为 $40\text{m}\Omega$.

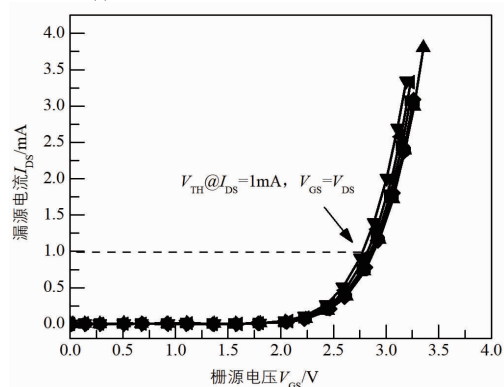
4.2 高温特性

当测试温度提升至 175°C 时, 本征载流子浓度增加, 器件阈值电压呈现负温度系数, V_{TH} 下降. 从图 6(a) 中测试结果可以看到, 高温下器件阈值电压典型值为 1.9V , 与室温时比较, 阈值电压偏移量在 0.8V 以下.

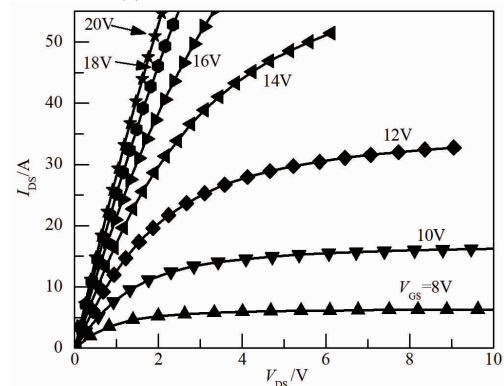
图 6(b) 中显示了在不同栅压下, 器件导通电阻 R_{on} 随温度的变化关系. 从测试结果中可以看出不同栅极电压下导通电阻随温度的变化关系并不同, 低栅极电



(a) 室温下, 器件阻断耐压特性测试结果



(b) 室温下, 器件转移特性测试结果



(c) 室温下, 器件输出特性测试结果

图5 室温下器件电学特性

压 $V_{GS} = 16\text{V}$ 时, 导通电阻随温度的升高逐渐减小, 即表现为负温度系数. 而对于栅极电压 $V_{GS} = 18\text{V}$ 或 20V 时, 导通电阻随温度升高先减小后增大, 表现为正温度系数, 此结果与文献[11]所报道的结果一致. 这是由于组成导通电阻的不同成分对于温度的依赖关系不同所导致的, 对于 SiC MOSFET 而言, 主要影响导通电阻的是沟道电阻、JFET 区电阻及外延层电阻. 对于沟道电阻, 温度的增高阈值电压会减小, 如图 6(b) 所示. 同时高温下被界面态捕获的载流子会释放, 库仑散射减弱, 因此沟道电阻随着温度的升高而减小. 对于 JFET 电阻及外延层电阻, 其中的载流子受到库仑散射与声子散射的

共同影响,温度较低时,库仑散射起主导作用,电阻随温度的升高而减小.而温度较高时,声子散射起主导作用,其电阻随温度的增高而增大^[12].在栅极电压 $V_{GS} = 16V$ 时,影响导通电阻的主要成分是沟道电阻,因此导通电阻随温度的升高而减小.而在较高的栅极电压下 $V_{GS} = 18V$ 或 $20V$,沟道电阻占比减小,JFET 区电阻及外延层电阻占比增大,所以导通电阻随着温度的升高先减小后增大.在实际应用中希望功率器件表现为正温度系数,以更有利于多个器件的并联使用.如图 6(b) 所示,虽然器件的导通电阻在栅极电压 $V_{GS} = 20V$ 时,随温度

的升高先降低后增大,但降低的幅度很小,随后随温度升高而增大,整体表现为正温度特性,不影响多个器件的并联应用.

对器件进行高低温栅源漏电测试,结果如图 6(c) 所示.在 $+20V$ 栅极偏置电压下,器件栅源漏电流在 $43nA$ 以下.相比于室温, $175^\circ C$ 时栅源漏电流增加量小于 $2nA$.当栅极外置 $-10V$ 时,栅源漏电流小于 $45nA$.因此,器件满足了在 $-10 \sim 20V$ 栅极电压范围内低栅源漏电流的工作要求.

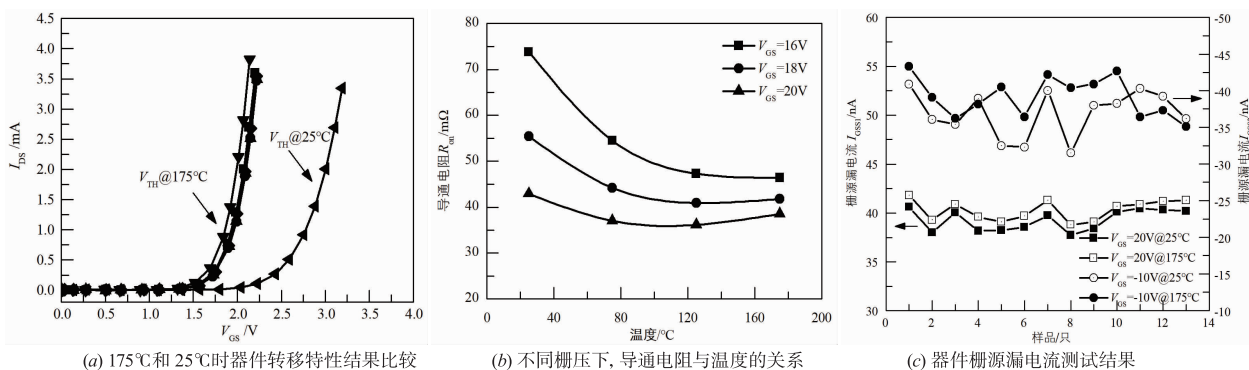


图6 高温下器件特性

表 1 总结了本 SiC MOSFET 芯片的特性,并与 Rohm、Cree 厂商的相同电压、相当电流等级的 SiC MOSFET 产品进行了对比^[13,14].相比其他两款产品,本芯片

的耐压更高,导通电阻、阈值等高温漂移量相对较小,而且栅源漏电小,因此更适合应用于高温、高可靠的环境中.

表 1 本芯片性能与其他厂商产品对比

	本芯片	Rohm SCT3040KL ^[13]	Cree C2M0040120D ^[14]
I_{DS}	50A	55A	60A
V_b (@ $V_{GS} = 0V$)	1600V @ $I_{DS} = 10 \mu A$	1200V @ $I_{DS} = 1mA$	1200V @ $I_{DS} = 100 \mu A$
R_{on}	40m Ω @ $25^\circ C$ 40m Ω @ $175^\circ C$	40m Ω @ $25^\circ C$ 80m Ω @ $175^\circ C$	40m Ω @ $25^\circ C$ 84m Ω @ $150^\circ C$
V_{TH}	2.7V @ $25^\circ C$ 1.9V @ $175^\circ C$	4.4V @ $25^\circ C$ 3.3V @ $175^\circ C$	2.6V @ $25^\circ C$ 2.1V @ $150^\circ C$
$I_{GSS,max}$ ($25^\circ C$)	43nA @ $V_{GS} = 20V$	100nA @ $V_{GS} = 22V$	250nA @ $V_{GS} = 20V$
$I_{GSS,max}$ ($175^\circ C$)	45nA @ $V_{GS} = 20V$	/	/

5 结论

基于 4 寸 SiC 工艺生产线,设计并完成了 1200V 大容量 SiC MOSFET 器件研究.通过栅极氧化氮化技术,栅氧界面态密度降低至 $4 \times 10^{11} cm^{-2} eV^{-1}$,器件栅极漏电流在 $43nA$ 以下.优化终端结构、中间栅极 pad 及 busbar 设计和采用 JFET 注入技术,器件最大阻断电压达到 1600V,单芯片输出电流大于 50A,静态特性优异.器件阈值电压在 $25^\circ C$ 和 $175^\circ C$ 时分别为 2.7V 和 1.9V.高温下,器件阈值电压偏移量为 0.8V,导通电阻下降约为

10.2%,栅极漏电流增加小于 $10nA$.良好的高温特性和输出性能,已达到车用 SiC 芯片的静态应用要求,对更大容量的 1200V SiC MOSFET 器件产品设计和研制具有一定的借鉴作用.

参考文献

- [1] MASUDA T, et al. A novel truncated V-groove 4H-SiC MOSFET with high avalanche breakdown voltage and low specific on-resistance [J]. Materials Science Forum, 2014, 778-780:907-910.

- [2] CHEN Z, YAO Y, et al. A 1200V 60A SiC MOSFET multi-chip phase-leg module for high-temperature, high frequency applications [J]. IEEE Transactions on Industrial Electronics, 2014, 29(5): 2307–2320.
- [3] 张波, 邓小川, 等. 宽禁带半导体 SiC 功率器件发展现状及展望 [J]. 中国电子科学研究学报, 2009, 4(2): 111–118.
- [4] LEMMOM A N, GRAVES R C, et al. Characterization and modeling of 10kV silicon carbide modules for naval applications [J]. IEEE Journal of Emerging & Selected Topics in Power Electronics, 2017, 5(1): 309–322.
- [5] SHI Y, XIE R, et al. Switching characterization and short-circuit protection of 1200V SiC MOSFET T-type module in PV inverter application [J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9135–9143.
- [6] NGUYEN T T, AHMED A, et al. Gate oxide reliability issues of SiC MOSFETs under short-circuit operation [J]. IEEE Transactions on Industrial Electronics, 2015, 30(5): 2445–2455.
- [7] KONISHI k, FUJITA R, SHIMA A. Modeling and evaluation of stacking fault expansion velocity in body diodes of 3.3kV SiC MOSFET [J]. Journal of Electronic Materials, 2019, 48(3): 1704–1713.
- [8] MARZOUGH I A, WANG J, et al. Characterization and evaluation of the state-of-the-art 3.3kV 400A SiC MOSFETs [J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8247–8257.
- [9] BALIGA B J. Silicon Carbide Power Devices [M]. New York: Springer Science + Business Media LLC, 2008. 90–106.
- [10] 迈克·舒尔. 碳化硅半导体材料与器件 [M]. 杨银堂, 贾护军, 段宝兴, 译. 北京: 电子工业出版社, 2012.
- [11] WANG G, MOOKKEN J, et al. Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications [A]. IEEE 2014 IEEE Applied Power Electronics Conference and Exposition-APEC 2014 [C]. Fort Worth: IEEE, 2014. 1478–1483.
- [12] 刘恩科, 朱秉升, 罗晋生. 半导体物理学 [M]. 北京: 电子工业出版社, 2011. 96–98.
- [13] ROHM. SCT3040KL N-channel SiC Power MOSFET Datasheet [EB/OL]. <https://rohms-ohm-com-cn.oss-cn-shanghai.aliyuncs.com/en/products/databook/datasheet/discrete/sic/mosfet/sct3040kl-e.pdf>, 2018-6-14.
- [14] CREE. C2M0040120D Silicon Carbide Power MOSFET C2M™ MOSFET Technology [EB/OL]. <https://www.wolfspeed.com/downloads/dl/file/id/165/product/9/c-2m0040120d.pdf>, 2018-7-17.

作者简介



刘新宇 (通信作者) 男, 1973 年 10 月出生于安徽省泗县. 博士生导师. 现为中国科学院微电子所副所长, 主要研究方向为化合物半导体微波器件与电路、功率器件等.
E-mail: xyliu@ime.ac.cn



罗焯辉 男, 1992 年 9 月出生于湖南省衡阳市. 硕士. 2017 年毕业于西安电子科技大学. 现为中国中车株洲中车时代半导体有限公司工程师, 从事 SiC 功率器件研究工作.
E-mail: luoyh5@cszic.com



李诚瞻 男, 1978 年 8 月出生于湖南省株洲市. 博士. 2008 年毕业于中国科学院微电子研究所. 先为中国中车株洲中车时代半导体有限公司教授级高级工程师, 从事 SiC 功率器件研究工作.
E-mail: licz@cszic.com



陈宏 男, 1987 年 2 月出生于山东省日照市. 博士. 2019 年毕业于中国科学院微电子研究所. 现为中国科学院微电子研究所助理研究员, 致力于 Si IGBT 及 SiC MOSFET 等功率器件研究.
E-mail: chenhong@ime.ac.cn



高秀秀 女, 1990 年 2 月出生于陕西省延安市. 硕士. 2014 年毕业于西安理工大学. 现为中国中车株洲中车时代半导体有限公司工程师, 从事 SiC 功率器件研究工作.
E-mail: gaoux10@caszic.com



白云 (通信作者) 女, 1978 年 4 月出生于河北省石家庄市. 2007 年毕业于中国科学院上海技术物理研究所. 现为中国科学院微电子研究所副研究员, 硕士生导师. 从事宽禁带半导体器件与电路研究工作.
E-mail: baiyun@ime.ac.cn